

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-308109

(43)Date of publication of application : 05.11.1999

(51)Int.Cl.

H03M 1/68

(21)Application number : 10-308210

(71)Applicant : YAMAHA CORP

(22)Date of filing : 29.10.1998

(72)Inventor : KONO TOSHIHIKO  
WAKATSUKI RYUJI  
KUROIWA KIYOTO

(30)Priority

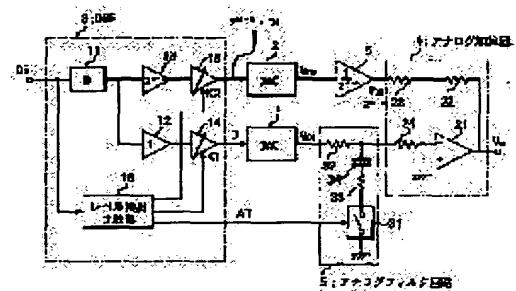
Priority number : 09313061 Priority date : 14.11.1997 Priority country : JP  
10 34651 17.02.1998

JP

## (54) D/A CONVERSION DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a D/A conversion device of a floating system, which can remove the influence of noise and can improve a dynamic range much more than a former case.

SOLUTION: A first DAC1 of N bit conversion precision is installed in one of a plurality of D/A conversion systems and a second DAC 2 of N bit conversion precision in the other system. A DSP 3 for deciding whether input digital data Di of M bits ( $M > N$ ) is supplied to the DAC 1 is in a through state or multiplying it by  $2^{M-N}$  and supplying it to the DAC 2 and distributing data is installed in the front stage of the DAC 1 and 2. A DSP 3 executes a cross fading processing for gradually switching the outputs of the DAC 1 and 2 at the time of switching the DAC 1 and 2. Analog signals Vo1 and Vo2 outputted from the DAC 1 and 2 are attenuated in accordance with the conversion magnifications and are added in an analog adder 4. An analog filter circuit 5 is connected to the output point of the DAC 1. The analog filter circuit 5 on- operates by an attenuation instruction signal AT becoming active when the DAC 1 is in a digital attenuation state and an intermediate/high frequency component is filter-attenuated.

## LEGAL STATUS

[Date of request for examination] 29.02.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]



## 【特許請求の範囲】

【請求項 1】 同一のデジタル入力データを異なる倍率でそれぞれレベル変換すると共に、これらレベル変換後の各デジタルデータの信号品位に基づき前記レベル変換後のデジタルデータのうちの最適な 1 つを選択して出力し、その他を所定のノイズレベル以下に減衰して出力するデジタル信号処理手段と、

このデジタル信号処理手段から出力される複数のデジタルデータをそれぞれ D/A 変換してアナログ信号を出力する複数の D/A 変換手段と、

これら複数の D/A 変換手段からそれぞれ出力されるアナログ信号をそれぞれ対応するデジタルデータの前記レベル変換の倍率に基づき元の入力データレベルに対応させるようにレベル再変換した後にこれら全てをアナログ加算するアナログ加算手段と、

前記デジタル信号処理手段で所定のノイズレベル以下に減衰されて出力されるデジタルデータをそれぞれ D/A 変換して得られるアナログ信号のうち、少なくとも前記デジタル信号処理手段で選択されたデジタルデータの前記レベル変換の倍率よりも小さい倍率でレベル変換されたデジタルデータに対応するアナログ信号の中高域周波数成分を、前記アナログ加算手段の入力段で更に減衰させるローパスフィルタからなるアナログフィルタ手段とを備えたことを特徴とする D/A 変換装置。

【請求項 2】 前記デジタル信号処理手段は、前記レベル変換後のデジタルデータのうち選択したデジタルデータ以外のデジタルデータを前記 D/A 変換手段のノイズレベル以下に減衰して出力するものであることを特徴とする請求項 1 記載の D/A 変換装置。

【請求項 3】 前記デジタル信号処理手段は、前記所定のノイズレベル以下に減衰したデジタルデータをアナログ変換後に減衰するための減衰指示信号を出力するものであり、

前記アナログフィルタ手段は、前記デジタル信号処理手段から出力される減衰指示信号によってオン/オフ制御され前記減衰されたデジタルデータに対応する前記レベル再変換後のアナログ信号電流を接地側に流すスイッチ素子と、このスイッチ素子と直列に接続された抵抗及びキャパシタからなるフィルタ回路とを備えてなるものであることを特徴とする請求項 1 又は 2 記載の D/A 変換装置。

【請求項 4】 同一のデジタル入力データを異なる倍率でそれぞれレベル変換し、これらレベル変換後の各デジタルデータの信号品位に基づき前記レベル変換後のデジタルデータのうちの最適な 1 つを選択して出力し、その他を所定のノイズレベル以下に減衰して出力すると共に、前記デジタルデータの選択切り換え時にそれまで選択されていたデジタルデータと次に選択されるデジタルデータとをクロスフェードさせて切り換えるデジタル信号処理手段と、

このデジタル信号処理手段から出力される複数のデジタルデータをそれぞれ D/A 変換してアナログ信号を出力する複数の D/A 変換手段と、

これら複数の D/A 変換手段からそれぞれ出力されるアナログ信号をそれぞれ対応するデジタルデータの前記レベル変換の倍率に基づき元の入力データレベルに対応させるようにレベル再変換した後にこれら全てをアナログ加算するアナログ加算手段とを備えたことを特徴とする D/A 変換装置。

10 【請求項 5】 前記デジタル信号処理手段で所定のノイズレベル以下に減衰されて出力されるデジタルデータをそれぞれ D/A 変換して得られるアナログ信号のうち、少なくとも前記デジタル信号処理手段で選択されて出力されたデジタルデータの前記レベル変換の倍率よりも小さい倍率でレベル変換されたデジタルデータに対応するアナログ信号の中高域周波数成分を、前記アナログ加算手段の入力段でさらに減衰させるローパスフィルタからなるアナログフィルタ手段を更に備えたことを特徴とする請求項 4 記載の D/A 変換装置。

20 【請求項 6】 前記デジタル信号処理手段は、前記デジタル入力データを所定期間だけ遅延させる遅延手段を備え、前記デジタル入力データの振幅レベルが所定レベルに対して小さなレベルから大きなレベルに変化したときに、選択されるデジタルデータの切り換えのためのクロスフェードが終了するように、前記所定レベルを超える変化を前記クロスフェードに要する時間よりも前に検出するものであることを特徴とする請求項 4 又は 5 記載の D/A 変換装置。

【請求項 7】 前記デジタル信号処理手段は、前記デジタル入力データの振幅レベルが所定レベルに対して小さなレベルから大きなレベルに変化したとき、選択されるデジタルデータを瞬時に切り換え、前記デジタル入力データの振幅レベルが所定レベルに対して大きなレベルから小さなレベルに変化したとき、一定時間内に前記所定レベルに対して小さなレベルから大きなレベルへの変化がない場合に限り、選択されるデジタルデータを切り換えるものであることを特徴とする請求項 4 ～ 6 のいずれか 1 項記載の D/A 変換装置。

【請求項 8】 前記アナログフィルタ手段は、前記デジタル入力データの振幅レベルが所定レベルに対して小さなレベルから大きなレベルに変化したときにはクロスフェード開始の一定時間前に前記アナログ信号のフィルタ処理を解除し、前記所定レベルに対して大きなレベルから小さなレベルに変化したときにはクロスフェードの完了後一定時間を経てから前記アナログ信号のフィルタ処理を実行するものであることを特徴とする請求項 5 記載の D/A 変換装置。

【発明の詳細な説明】

【0001】

50 【発明の属する技術分野】 この発明は、デジタルデー

タを異なる倍率でそれぞれレベル変換してD/A変換したのち元のレベルに戻してアナログ加算することにより、ダイナミックレンジを拡大させたフローティング方式のD/A変換装置に関する。

【0002】

【従来の技術】近年、 $\Delta\Sigma$ 変調器の高次化によりA/D変換器の変換精度が向上し、これに伴って、D/A変換器の分解能及びダイナミックレンジのより一層の向上が求められるようになってきた。これに対応するため、従来より、変換ビット数が制限されたD/A変換器（以下、DACと呼ぶ）を用いて、その変換ビット数を超える分解能及びダイナミックレンジを得るフローティング方式のD/A変換装置が開発されている。この方式は、Nビット（例えば20ビット）のDACを用いてMビット（ $M > N$ ：例えば24ビット）のデジタルデータをD/A変換するとき、データの有効ビットがPビット（ $M \geq P > N$ ）の場合は、そのままD/A変換を行って、下位 $M - N$ ビット（例えば4ビット）は切り捨てる。一方、デジタルデータの出力レベルが下がって有効語長が $P'$ ビット（ $P' \leq N$ ）となったときは、デジタルデータを $2^{M-N}$ 倍したデータ、即ち元のデータをMSB方向に $M - N$ ビットだけシフトして下位 $M - N$ ビットが零詰めされたデータに変換してからD/A変換する。入力されたデジタルデータをそのままD/A変換するか、 $2^{M-N}$ 倍するかは、予め入力されたデジタルデータを $M - N$ ビットだけシフトしてオーバーフローが発生するかどうかで決定する。

【0003】このような変換を行うと、データの有効ビットがPビットの場合には、変換語長が十分大きいので切り捨てによる影響は殆ど無く（仮に問題になったとしても必要に応じてディザ等を付加すれば問題は解消する）、また、データの有効ビット長が $P'$ の場合には、データを $2^{M-N}$ 倍してD/A変換時に下位 $M - N$ ビットを切り捨てるようにしているので、 $2^{M-N}$ 倍しなかったときに切り捨てられていた下位 $M - N$ ビットのデータも有効にD/A変換されて分解能及びダイナミックレンジが拡大される。但し、後者の場合には、DACから出力されるアナログ信号も $2^{M-N}$ 倍されているので、アナログ出力を $1/2^{M-N}$ 倍してレベル合わせをする必要がある。

【0004】このフローティング方式のD/A変換装置としては、1つのDACを使用して、DACの出力を増幅するアナログアンプの利得を、デジタルデータのレベル変換倍率に応じて切り換える方式と、異なる変換倍率でレベル変換された複数のデジタルデータをそれぞれD/A変換する複数のDACを用い、これらDACの出力のうち最も適切な変換倍率でレベル変換されたDACの出力を選択する方式とが知られている（特公平7-93579号）。

【0005】

【発明が解決しようとする課題】しかしながら、上述した従来のフローティング方式のうち、前者の方式は、デジタルデータのレベルによってアナログアンプの利得を瞬時に切り換えなくてはならないため、切り換え時にアンプの出力が追従できなかつたり、アンプのDCオフセットが変動したりして、聴感上無視できない不快なノイズが発生するという問題がある。また、後者の方式も、DACから出力されるアナログ信号を切り換える方式であるため、切り換え時にトランジェントノイズが発生するという問題がある。これらの問題は、特に扱おうとするデジタルデータの分解能が、従来のアナログ回路構成でしか実現し得なかったSN比120～140デシベルのような低雑音領域にまで及ぶような場合、極めて深刻な問題となっていた。

【0006】この発明は、このような問題点に鑑みなされたもので、ノイズの影響を更に排除してダイナミックレンジを拡大することができるフローティング方式のD/A変換装置を提供することを目的とする。

【0007】

【課題を解決するための手段】この発明に係る第1のD/A変換装置は、同一のデジタル入力データを異なる倍率でそれぞれレベル変換すると共に、これらレベル変換後の各デジタルデータの信号品位に基づき前記レベル変換後のデジタルデータのうちの最適な1つを選択して出力し、その他を所定のノイズレベル以下に減衰して出力するデジタル信号処理手段と、このデジタル信号処理手段から出力される複数のデジタルデータをそれぞれD/A変換してアナログ信号を出力する複数のD/A変換手段と、これら複数のD/A変換手段からそれぞれ出力されるアナログ信号をそれぞれ対応するデジタルデータの前記レベル変換の倍率に基づき元の入力データレベルに対応させるようにレベル再変換した後にこれら全てをアナログ加算するアナログ加算手段と、前記デジタル信号処理手段で所定のノイズレベル以下に減衰されて出力されるデジタルデータをそれぞれD/A変換して得られるアナログ信号のうち、少なくとも前記デジタル信号処理手段で選択されたデジタルデータの前記レベル変換の倍率よりも小さい倍率でレベル変換されたデジタルデータに対応するアナログ信号の中域周波数成分を、前記アナログ加算手段の入力段で更に減衰させるローパスフィルタからなるアナログフィルタ手段とを備えたことを特徴とする。

【0008】この発明では、異なる倍率でそれぞれレベル変換されたデジタルデータをそれぞれD/A変換する複数のD/A変換手段を備えたフローティング方式を基本とし、それらD/A変換出力のうちの1つを選択的に出力させ、他のD/A変換手段の出力は、D/A変換手段のノイズレベル以下にデジタル的に減衰させると共に、これらD/A変換手段の出力をそれぞれ元のレベルに戻してアナログ加算手段で加算する。この方式は、

DACの入力を切り替える方式であるため、DAC出力であるアナログ信号を切り替える方式に比べ、切り替え時のノイズ発生が少ないという利点があるが、その反面、入力レベルが減衰状態にあるD/A変換手段からは、それぞれの残留ノイズがアナログ加算手段に入力され、この残留ノイズがダイナミックレンジの拡大を阻害するという問題がある。即ち、この残留ノイズは、デジタルデータの変換倍率をGとすると、 $1/G$ されてアナログ加算手段に入力されるので、変換倍率が小さいほど大きな残留ノイズがアナログ加算手段に入力されることになる。この残留ノイズは、入力されたデジタルデータのレベルが大きい場合には無視できるが、レベルの小さなデジタルデータが入力された場合には、無視できないレベルのノイズとなり、ダイナミックレンジを改善することができない。

【0009】この発明によれば、最終的にアナログ信号出力として意味を生じるデジタル信号処理手段の選択デジタルデータよりも、それ以外の系統の残量ノイズが大きくなってしまわないように、これらのD/A変換の残留ノイズをD/A変換して得られたアナログ信号を、再度アナログ的に減衰させることによって、これら全てのデジタルデータのD/A変換されたアナログ信号を加算しても、最終的なアナログ信号出力の残留ノイズ、すなわちノイズフロアの低減効果が損なわれず、ダイナミックレンジが改善できる。なお、後段側でアナログ的に減衰させるべきデジタルデータとしては、少なくとも残留ノイズが選択デジタルデータよりも大きくなる可能性の高いもの、すなわち選択データのレベル変換の倍率よりも小さい倍率でレベル変換されたデジタルデータであり、このデジタルデータに対応するアナログ信号を聴感上、選択デジタルデータのノイズレベル以下に減衰すれば実用上は充分である。

【0010】この発明によれば、アナログ減衰手段が、D/A変換手段からのアナログ信号の中高域周波数成分のみを減衰させるものであるから、アナログフィルタ手段のオン/オフ動作によってもアナログ加算手段の直流的な入力インピーダンスは変動しない。このため、アナログ加算手段の直流ゲインの変動に起因した出力オフセットの変動が抑えられ、これによるD/A変換手段の切り替え時のポップノイズの発生等も効果的に防止することができる。

【0011】なお、デジタル信号処理手段が、所定のノイズレベル以下に減衰したデジタルデータをアナログ変換後に減衰するための減衰指示信号を出力するものであるとすると、アナログフィルタ手段は、デジタル信号処理手段から出力される、減衰指示信号によってオン/オフ制御され減衰されたデジタルデータに対応するレベル再変換後のアナログ信号電流を接地側に流すスイッチ素子と、このスイッチ素子と直列に接続された抵抗及びキャパシタからなるフィルタ回路とを備えること

により構成することができる。

【0012】また、この発明に係る第2のD/A変換装置は、同一のデジタル入力データを異なる倍率でそれぞれレベル変換し、これらレベル変換後の各デジタルデータの信号品位に基づき前記レベル変換後のデジタルデータのうちの最適な1つを選択して出力し、その他を所定のノイズレベル以下に減衰して出力すると共に、前記デジタルデータの選択切り換え時にそれまで選択されていたデジタルデータと次に選択されるデジタル信号処理手段と、このデジタル信号処理手段から出力される複数のデジタルデータをそれぞれD/A変換してアナログ信号を出力する複数のD/A変換手段と、これら複数のD/A変換手段からそれぞれ出力されるアナログ信号をそれぞれ対応するデジタルデータの前記レベル変換の倍率に基づき元の入力データレベルに対応させるようにレベル再変換した後にこれら全てをアナログ加算するアナログ加算手段とを備えたことを特徴とする。

【0013】この発明によれば、①複数のデジタルデータのD/A変換結果はアナログ加算され、②D/A変換出力の切り換えは、デジタルでの減衰状態の切り換えによって行われ、③切り換え時にはクロスフェード処理をかけるようにしているので、従来の方式に比べ、切り換え時のノイズ発生が極めて少なく、且つ精度の高いD/A変換が実現する。

【0014】この発明においても、前述したようなアナログフィルタ手段を更に設けることにより、最終的なアナログ信号出力の残留ノイズの低減効果が損なわれず、ダイナミックレンジが改善できる。

【0015】また、アナログフィルタ手段が、例えば前記デジタル入力データの振幅レベルが所定レベルに対して小さなレベルから大きなレベルに変化したときにはクロスフェード開始の一定時間前にアナログ信号のフィルタ処理を解除（オフ）にし、前記所定レベルに対して大きなレベルから小さなレベルに変化したときにはクロスフェードの完了後一定時間を経てから前記アナログ信号のフィルタ処理を実行（オン）するものであると、アナログフィルタ処理のオン/オフ時のトランジェントノイズの発生を防止することができる。

【0016】前記デジタル信号処理手段は、前記デジタル入力データを所定期間だけ遅延させる遅延手段を備え、前記デジタル入力データの振幅レベルが所定レベルに対して小さなレベルから大きなレベルに変化したときに、選択されるデジタルデータの切り換えのためのクロスフェードが終了するように、前記所定レベルを超える変化を前記クロスフェードに要する時間よりも前に検出するものであることが望ましい。

【0017】このような構成であると、デジタルデータ切り換え時のクロスフェードの開始タイミングを、少

10

20

30

40

50

なくともデジタル入力データの振幅レベルが所定レベルに対して小から大に変化する時には切り換えが完了しているように、所定レベル超過の時点よりも先行させることができ、デジタルデータが一部クリップされるのを防止することができる。

【0018】また、前記デジタル信号処理手段は、前記デジタル入力データの振幅レベルが所定レベルに対して小さなレベルから大きなレベルに変化したとき、選択されるデジタルデータを瞬時に切り換え、前記デジタル入力データの振幅レベルが所定レベルに対して大きなレベルから小さなレベルに変化したとき、一定時間内に前記所定レベルに対して小さなレベルから大きなレベルへの変化がない場合に限り、選択されるデジタルデータを切り換えるものとする。このような構成であると、高周波数成分を含むような信号波形であっても、少なくともオーバーフローによる出力データのクリップは確実に回避でき、また、デジタルデータの頻繁な切り換えによるノイズの発生を防止することができる。

【0019】

【発明の実施の形態】以下、図面を参照して、この発明の好ましい実施の形態について説明する。図1は、この発明の一実施例に係るD/A変換装置の構成を示すブロック図である。

【0020】この装置には、2つのD/A変換系が設けられ、第1の系にはNビット（例えば24ビット）変換精度の第1のDAC1が、第2の系にはNビット変換精度の第2のDAC2がそれぞれ設けられている。DAC1、2の前段には、デジタル信号処理回路、具体的にはデジタル・シグナル・プロセッサ（以下、DSPと呼ぶ）3が設けられている。DSP3は、その共通入力である有効ビットがMビット（ $M > N$ ；例えば27ビット）の入力デジタルデータDiを、所定期間T1だけ遅延させる遅延回路11と、この遅延回路11の出力をスルー状態でDAC1に供給する乗算器12と、遅延回路11の出力を $2^{M-N}$ 倍（この例では8倍）してDAC2に供給する乗算器13と、これら乗算器12、13の出力を選択的にDAC1、2のノイズレベル以下に減衰させると共に、減衰される出力の切り換え時にクロスフェード処理するために各出力に所定の係数K1、K2（ここで $K1 + K2 = 1$ ）を乗算するデジタル減衰手段であるクロスフェーダ14、15と、入力デジタルデータDiのレベルを検出して所定のしきい値と比較し、クロスフェーダ14、15等の切り換え制御を行うレベル検出・比較器16とにより構成されている。

【0021】レベル検出・比較器16は、デジタルデータDiをMSB側にM-Nビット（この例では3ビット）だけシフトして、有効ビットPの最上位のビットがオーバーフローした場合（ $P > N$ の場合）には、 $K1 \rightarrow 1$ 、 $K2 \rightarrow 0$ として、DAC1にデジタルデータDi

を下位M-Nビットを切り捨てて出力し、DAC2にはデジタル減衰されたデータである0データを出力する。また、DSP3は、デジタルデータDiをMSB側にM-Nビットだけシフトして、有効ビットPの最上位のビットがオーバーフローしなかった場合（ $P \leq N$ の場合）には、 $K1 \rightarrow 0$ 、 $K2 \rightarrow 1$ として、DAC1に0データを出力し、DAC2に $2^{M-N} \times Di$ を出力する。

【0022】DAC1から出力されるアナログ信号Vo1は、アナログ加算器4の一方の入力として与えられる。また、DAC2から出力されるアナログ信号Vo2は、減衰器6によって $1/2^{M-N}$ （この例では $1/8$ ）されて、アナログ加算器4の他方の入力として与えられる。アナログ加算器4は、オペアンプ21、帰還抵抗22及び入力抵抗23、24からなる反転増幅器により構成され、アナログ入力信号Vo1、Vo2/ $2^{M-N}$ を加算する。DAC1側とアナログ加算器4との間には、アナログフィルタ手段としてのアナログフィルタ回路5が接続されている。アナログフィルタ回路5は、DAC1がデジタル減衰状態のときにレベル検出・比較器16から出力される減衰指示信号ATによってオン動作するアナログスイッチ31と、抵抗32、33及びキャパシタ34からなるフィルタ回路を含み、全体としてローパスフィルタ回路が構成されている。

【0023】このように構成されたD/A変換装置におけるアナログ加算器4の出力Voは、下記数1のようになる。

【0024】

$$\text{【数1】 } V_o = V_{o1} + V_{o2} / 2^{M-N}$$

【0025】ここで、デジタルデータDiが入力されたときのDAC1、2の本来の変換出力をそれぞれDAC1(Di)、DAC2(Di)、各残留ノイズをそれぞれVN1、VN2とすると、DAC1、2の出力Vo1、Vo2は、下記数2のようになる。

【0026】

【数2】

$$V_{o1} = \text{DAC1}(Di) + VN1$$

$$V_{o2} = 2^{M-N} \times \text{DAC2}(Di) + VN2$$

【0027】従って、アナログ加算器4の出力Voは、

【0028】

$$\text{【数3】 } V_o = \text{DAC1}(Di) + \text{DAC2}(Di) + VN1 + VN2 / 2^{M-N}$$

【0029】となる。ここで、DAC1(Di)とDAC2(Di)とは、DSP3によって、オーバーフローすることなくビット利用率の大きい、すなわち信号品位のより良好ないずれか一方が選択されるので、出力Voは、

【0030】

$$\text{【数4】 } V_o = \text{DAC}(Di) + VN1 + VN2 / 2^{M-N}$$

【0031】となる。この数4から明らかなように、DAC2から出力されるノイズVN2は、 $1/2^{M-N}$ に低減

されているが、DAC 1 側のノイズ  $V_{NI}$  は低減されていないので、ノイズフロアは DAC 1 側の残留ノイズによって決定されることになる。いま、入力されるデジタルデータが例えば  $M=27$  ビット、DAC 1, 2 の変換ビット数  $N=24$  ビットとすると、DAC 1 が動作している場合には、24 ビット分のデータしか変換されないため、ノイズフロアを 144 dB より改善することはできない。これに対し、DAC 2 が動作しているときは、27 ビット分の変換が可能であり、本来 162 dB までダイナミックレンジを拡大することができるが、DAC 1 の残留ノイズが加わると、ノイズフロアは 144 dB より改善することはできない。そこで、この装置では、DAC 2 が選択されているときに、減衰指示信号 AT によってアナログフィルタ回路 5 をオン状態にする。これにより、DAC 2 が選択されているときのノイズフロアが低減し、ダイナミックレンジを本来の 162 dB まで拡大することができる。

【0032】ところで、アナログフィルタ回路 5 がオン状態のときと、オフ状態のときとでオペアンプ 21 の入力インピーダンスが変化すると、アナログ加算器 4 のゲインが変化するので、オペアンプ 21 の出力オフセット電圧も変動することになる。一般的に、オペアンプ出力でのオフセット変動量は 0.5 mV 程度であるが、DAC のノイズレベルは、数  $\mu V$  (24 ビット DAC の場合、1 LSB 0.6  $\mu V_{RMS}$ ) であり、DAC の分解能から見て非常に大きな値となり、無視することができない。これを解決するため、この実施例ではアナログフィルタ回路 5 をローパスフィルタ構成として中高域周波数成分のみを減衰させる構成とし、アナログフィルタ回路 5 のオン/オフ動作によってもアナログ加算器 4 の直流的な入力インピーダンスが変動しないようにしている。なお、上記中高域周波数成分の減衰特性、すなわちフィルタ特性は聴感上、有害な帯域を排除できる範囲で任意に設定できることはいうまでもない。

【0033】図 2 は、DSP 3 の内部での DAC 1, 2 の切り換え動作と減衰指示信号 AT の具体的なタイミングを示す図である。DAC 1, 2 の切り換えは、切り換え時のトランジェント歪み、信号への追従性の不足、ポップノイズ等の発生を防止するため、クロスフェード処理により、徐々に行う。即ち、図 2 のデジタル入力データ  $D_i$  は、時刻  $t_2$  で所定のしきい値を超え(オーバーフロー)、時刻  $t_3$  で所定のしきい値を下回る。従って、時刻  $t_2$  で有効出力を DAC 2 から DAC 1 に切り換え、時刻  $t_3$  で有効出力を DAC 1 から DAC 2 に切り換えればよいが、切り換え時にクロスフェードをかけるため、DAC 2 から DAC 1 への切り換え時には、クロスフェードに必要な時間  $T_1$  だけ先行させてクロスフェードを開始し、DAC 1 から DAC 2 への切り換え時には、オーバーフロー解消の時点でクロスフェード処理を開始する。このため、DSP 3 の遅延回路 11 ではデ

ジタル入力データ  $D_i$  を時間  $T_1$  だけ遅延させ、レベル検出・比較器 16 は、その分先行して入力データ  $D_i$  のオーバーフローを検出することになる。これにより、入力データが増大したときに、データがクリップされるのを防止することができる。

【0034】減衰指示信号 AT のオンのタイミングは DAC 1 がオフ状態になってから一定時間遅らせ、オフのタイミングは DAC 1 がオン状態になるタイミングよりも一定時間早める等の処理を行う。これにより、減衰オン/オフ時に DAC 1 が有効であることにより生じるトランジェントノイズの発生を抑えることができる。

【0035】図 3 は、この発明の他の実施例に係る D/A 変換装置の構成を示すブロック図である。図 3 において、図 1 と同一部分には同一符号を付し、重複部分の説明は割愛する。この図 3 の回路では、DSP 6 にデジタル入力データ  $D_i$  の絶対値を算出する絶対値算出器 41 と、絶対値算出器 41 の出力からエンベロープを検出するエンベロープ検出器 42 とが備えられ、エンベロープ検出器 42 の出力がレベル検出・比較器 16 に与えられるようになっている。

【0036】図 4 は、この装置の DAC 1, 2 の切り換え動作と減衰指示信号 AT の具体的なタイミングを示す図である。図示のように、デジタル入力データ  $D_i$  に高周波数成分が含まれている場合、しきい値レベル +  $T_H$ 、 $-T_H$  を頻繁に通過するため、DAC 1, 2 が頻繁に切り替わるのを防止するため、エンベロープ検出器 42 は、デジタル入力データのエンベロープを検出する。

【0037】また、この実施例では、振幅レベルが大から小に変化したとき、つまりレベル検出・比較器 16 でオーバーフローの解消が検出されたとき、直ちに DAC 1 から DAC 2 への切り換えのためのクロスフェード処理を開始せずに、所定のホールドタイム  $T_2$  だけ待機する。そして、このホールドタイム  $T_2$  の間に再びオーバーフロー状態が検出されなかった場合に限り、クロスフェード処理を開始する。このような処理を行うことにより、交流信号における + レベルから - レベルへの信号変化の過程で検出される低レベル範囲の通過に伴う DAC の切り換えや、高周波数成分を含む信号波形による DAC の頻繁な切り換えを防止して、不要なノイズ発生を更に削減することができる。

【0038】また、上記のような切り換え時のノイズを防止するためには、クロスフェードの時間を長くとも有効である。例えばサンプリング周波数  $F_s = 48$  kHz、クロスフェードの時間を 50 ms として 2400 サンプルをクロスフェード処理に費やす。これにより、頻繁な切り換えによるノイズ発生を防止することができる。但し、振幅レベルが増大しているときの DAC 2 から DAC 1 への切り換えは、瞬時に行う方が望ましいので、クロスフェード処理の期間は、例えば 20 サン

プル程度とする。

【0039】クロスフェード 14, 15 は、各 DAC 1, 2 の入力データに対してリニアにクロスフェードをかける場合には、リニアに変化する係数 K1, K2 をデジタルデータに乗算すればよいが、処理をもう少し簡単にするには、デジタルデータを MSB 側から 1 ビットずつシフトしていくという方法によっても実現することができる。この場合、係数 K1, K2 は、2 倍ずつ増加又は 1/2 ずつ減少するようにノンリニアに変化することになる。また、クロスフェード係数 K1, K2 として、log 関数曲線を用いても良い。この場合、人間の聴感特性が対数的であるため、この特性に適合した切り換え処理が可能になる。

【0040】DAC 2 から DAC 1 への切り換え時の先行レベル変化検出の時間に関しては、アナログフィルタ回路 5 等のアナログ側の処理の遅延を考慮して、レベル検出・比較器 16 は、例えば 2 サンプル前に減衰指示信号 AT をオン/オフ制御する。

【0041】なお、この発明は上述した実施例に限定されるものではない。上記実施例では、DAC を 2 系統だけ用いたが、図 5 に示すように、更に複数の DAC 51<sub>1</sub>, 51<sub>2</sub>, 51<sub>3</sub>, ..., 51<sub>n</sub> を設けた装置にもこの発明は適用可能である。DSP 52 は、デジタルデータ Di をそれぞれ 1 倍、2<sup>M-N1</sup> 倍、..., 2<sup>M-Nn</sup> 倍して（但し、1 < 2<sup>M-N1</sup> < ... < 2<sup>M-Nn</sup>）DAC 51<sub>1</sub> ~ 51<sub>n</sub> の 1 つの出力のみを選択して出力し、その他の DAC の出力をデジタル減衰させる。DAC 51<sub>2</sub> ~ 51<sub>n</sub> の出力側にはアナログレベルを再レベル変換するための減衰器 53<sub>2</sub>, 53<sub>3</sub>, ..., 53<sub>n</sub> が設けられ、これらの出力がアナログ加算器 54 で加算されて出力される。

【0042】この場合も、入力されたデジタルデータのレベルに応じて、いままで選択されていた DAC 出力と次に選択される DAC 出力とをクロスフェード処理によって切り換え、変換倍率の最も大きな DAC が選択されているときには、その他の DAC の出力をアナログフィルタ回路 55<sub>1</sub>, 55<sub>2</sub>, ..., 55<sub>n-1</sub> で減衰させる。このようにすることにより、ノイズが少なく常に最大のダイナミックレンジを確保することができる。

【0043】また、DAC 51<sub>k</sub> よりも変換倍率の小さな系統が選択されているときには、その選択系統の変換倍率がより小さい系統の DAC 出力をアナログ減衰すれば実用上充分となる。具体的に言えば、仮に DAC 51<sub>2</sub> が選択出力となっているのであれば、DAC 51<sub>1</sub> のみアナログ減衰すれば良い。すなわち DAC 51<sub>3</sub> の変換倍率は、DAC 51<sub>1</sub> の変換倍率よりも大きいので、アナログ信号段階でのレベル再変換による減衰もその分大きいわけであり、結果的に DAC 51<sub>3</sub> の残留ノイズは、DAC 51<sub>1</sub> の残留ノイズよりも小さく、加算の結

果これが全体に与える影響の度合いは少ない。勿論、DAC 51<sub>3</sub> ~ 51<sub>n</sub> を含めて選択された DAC 21<sub>2</sub> 以外の出力の全てをアナログ減衰しても良いことはいうまでもない。

【0044】また、以上の説明で用いた (M-N) ビットのシフト量もこれに限らず、任意の値とすることができる。

【0045】

【発明の効果】以上述べたように、この発明の第 1 の D/A 変換装置によれば、最終的にアナログ信号出力として意味を生じるデジタル信号処理手段の選択デジタルデータよりも、それ以外の系統の残留ノイズが大きくなってしまわないように、これらのデジタル減衰データを D/A 変換して得られたアナログ信号を再度アナログ的にフィルタ処理により減衰させるようにしているので、これら全てのデジタルデータの D/A 変換されたアナログ信号を加算しても、最終的なアナログ信号出力の残留ノイズ、すなわちノイズフロアの低減効果が損なわれず、ダイナミックレンジを大幅に改善できるという効果を奏する。

【0046】また、この発明の第 2 の D/A 変換装置によれば、異なる倍率でそれぞれレベル変換されたデジタルデータをそれぞれ D/A 変換する複数の D/A 変換手段を備えたフローティング方式を基本とし、それら D/A 変換出力のうちの 1 つを選択的に出力させ、他の D/A 変換手段の出力は、デジタル的に減衰させると共に、これら D/A 変換手段の出力をそれぞれ元のレベルに戻してアナログ加算手段で加算し、デジタルデータの選択切り換え時にそれまで選択されていたデジタルデータと、次に選択されるデジタルデータとをクロスフェードさせて切り換えるようにしているので、従来の方式に比べ、切り換え時のノイズ発生が少ない高精度の D/A 変換が可能になるという効果を奏する。

【図面の簡単な説明】

【図 1】 この発明の一実施例に係る D/A 変換装置の回路図である。

【図 2】 同装置の動作を説明するためのタイミングチャートである。

【図 3】 この発明の他の実施例に係る D/A 変換装置の回路図である。

【図 4】 同装置の動作を説明するためのタイミングチャートである。

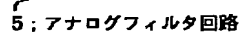
【図 5】 この発明の更に他の実施例に係る D/A 変換装置のブロック図である。

【符号の説明】

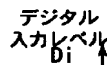
1, 2, 51...D/A 変換器、3, 6, 52...DSP、4, 54...アナログ加算器、5, 55...アナログフィルタ回路、6, 53...減衰器。



【図 1】



【図 2】



【図 5】



Figure 1 is a block diagram of a digital signal processing circuit. The circuit includes a DSP (6) which receives input  $D_i$  and outputs to a DAC (2) and a DAC (1). The DAC (2) outputs  $V_{oz}$ , which is then amplified by an op-amp (6) to produce  $\frac{V_{oz}}{2^{M-N}}$ . The DAC (1) outputs  $V_{01}$ , which is filtered by an analog filter circuit (5) to produce  $\frac{V_{01}}{2^{M-N}}$ . The filtered signal is then amplified by an op-amp (21) to produce the final output  $V_o$ . The circuit also includes an absolute value calculator (41), an envelope detector (42), and a level comparison circuit (16).